

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-242688

(43)Date of publication of application : 21.09.1993

(51)Int.Cl.

G11C 16/06

(21)Application number : 04-040933

(71)Applicant : HITACHI LTD

(22)Date of filing : 27.02.1992

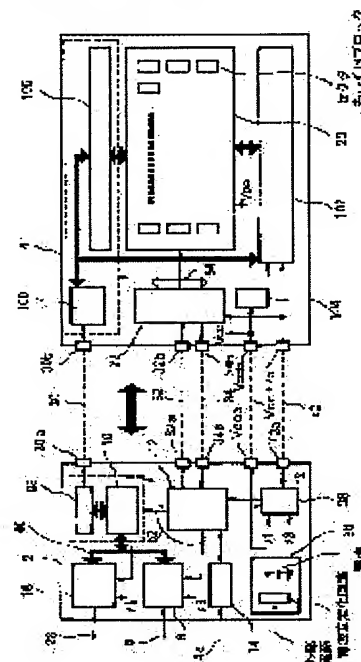
(72)Inventor : SASAKI TOSHIO
TANAKA TOSHIHIRO
KUME HITOSHI

(54) RECORDING AND REPRODUCING DEVICE EMPLOYING FLASH EEPROM

(57)Abstract:

PURPOSE: To improve the reliability of a connecting section and to speed up a rewriting by transferring information via serial data and rewriting flash EEPROM by a parallel processing while a recording and reproducing section and an information storage section are separated.

CONSTITUTION: In a recording mode, a start address is set in the start address register of a recording memory 20 under the control of a recording and reproducing control section 12. Analog input signals 6 are A/D transformed by an A/D transforming section 8 and are stored in a second buffer memory 10. Thus, parallel data signals are transformed into serial data by a serial parallel signal transforming circuit 98 and transferred. Moreover, the data are reverse transformed into parallel data by a serial parallel transforming circuit 100 and are successively recorded into the recording memory 20. In a reproducing mode, a start address is set similar to the recording mode and the data are read, parallel digital information read out under the control of a controlling section 12 is transformed into a serial information by the circuit 100, again reverse transformed into a parallel information by the circuit 98 and reproduced into an analog information by the section 8.



* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-242688

(43)公開日 平成5年(1993)9月21日

(51)Int.Cl.⁵

G 1 1 C 16/06

識別記号

庁内整理番号

F I

技術表示箇所

9191-5L

G 1 1 C 17/ 00

3 0 9 A

審査請求 未請求 請求項の数30(全 14 頁)

(21)出願番号 特願平4-40933

(22)出願日 平成4年(1992)2月27日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 佐々木 敏夫

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 田中 利広

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 久米 均

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 弁理士 小川 勝男

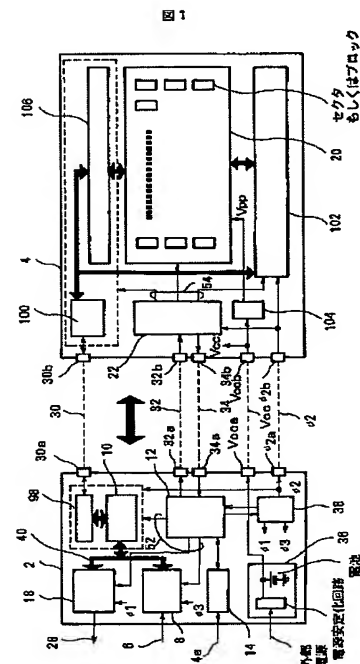
(54)【発明の名称】 フラッシュEEPROMを用いた記録再生装置

(57)【要約】

【目的】フラッシュEEPROMを使用した情報を記録再生する記録再生装置において、情報記憶部と記録部もしくは再生部を分離した場合、シリアルデータで情報を転送し接続端子数を低減し、またフラッシュEEPROMの書換えは並列処理で高速化を図る。

【構成】記録再生装置は、情報記憶部4と記録もしくは再生部2に各々バッファメモリ106、10を設け、両者間はシリアル転送とする。またバッファメモリからフラッシュEEPROM20への書換えはセクタもしくはブロック単位で実施する構成とする。

【効果】記録再生装置はフラッシュEEPROM書換え時間が高速化し、書換え回数も低減する。また、接続端子数の低減で接続部の信頼性が向上する。さらに情報記憶部と記録部もしくは再生部を分離することで余分な回路が削減でき、小型簡便なる携帯用装置となる。



【特許請求の範囲】

【請求項1】フラッシュEEPROMを用いた記録再生装置であって：

(1)情報を記憶する複数のフラッシュEEPROMのセクタもしくはブロックで構成される記録用メモリと、シリアルデータとパラレルデータを双方向変換する第1のシリアル・パラレル信号変換回路と、転送クロックにより上記EEPROMのアドレスを発生するアドレス発生回路と、上記EEPROMに読み書きする一時記憶用の第1のバッファメモリと、上記バッファメモリと上記EEPROMの書換え即ち消去/書込みと、読出し動作を制御する書込/読出制御部と、からなる情報記憶部と、
(2)デジタル/アナログ変換部、再生制御部、再生表示部及び再生操作部を有する再生部と、アナログ/デジタル変換部、記録制御部、記録表示部及び記録操作部を有する記録部と、パラレルデータとシリアルデータを双方向変換する第2のシリアル・パラレル信号変換回路と、一時記憶用の第2のバッファメモリと、からなる記録再生部とを少なくとも具備してなり、上記情報記憶部と上記記録再生部が分離してなることを特徴とする情報記録再生装置。

【請求項2】請求項1記載の記録再生装置であって、上記記録再生部の記録部と再生部が分離し、上記記録部にパラレルデータからシリアルデータに変換する第3のシリアル・パラレル信号変換回路と一時記憶用の第3のバッファメモリを具備し、上記再生部にシリアルデータとパラレルデータに変換する第4のシリアル・パラレル信号変換回路と一時記憶用の第4のバッファメモリを具備することを特徴とする記録再生装置。

【請求項3】請求項1記載の記録再生装置であって、上記情報記憶部に少なくとも電池が無く、上記記録再生部に電池が搭載され、情報の記録もしくは再生動作時に上記情報記憶部に印加する構成であることを特徴とする記録再生装置。

【請求項4】請求項1記載の記録再生装置であって、ユーザの希望する所定の情報ファイルの開始アドレス値の入力に従って、上記記録再生部から上記情報記憶部へ情報を転送することを特徴とする記録再生装置。

【請求項5】請求項1記載の記録再生装置であって、上記情報記憶部が、所定の情報ファイルの開始アドレスを保持する1つ以上のアドレスレジスタと、該アドレスを基にカウントアップするアドレスカウンタと、上記情報記憶部の記録を制御する書込/読出制御回路と、を少なくとも有することを特徴とする記録再生装置。

【請求項6】請求項1記載の記録再生装置であって、上記情報記憶部は、上記記録部の記録操作部から指示転送される開始アドレスをもとにアドレスカウンタを起動し、入力されたアナログ情報をアナログ/デジタル変換部でデジタル情報に変換し、セクタもしくはブロックのク

ることを特徴とする記録再生装置。

【請求項7】請求項6記載の記録再生装置であって、上記記録部は、上記第2のバッファメモリに入力され記憶したデジタル情報を、情報記憶部の記録用メモリに転送し書込みするため、少なくとも開始アドレスと情報ファイルのデータと、をシリアルに順次転送することを特徴とする記録再生装置。

【請求項8】請求項1記載の記録再生装置であって、上記記録部は、上記第2のバッファメモリから上記第1のバッファメモリに転送記憶し、第1のバッファメモリに記憶した情報ファイルのデータを情報記憶部の記録用メモリに書込む際は、上記記録部に情報記憶部の記録用メモリが書込み中であることを示す、少なくとも1つのレディ信号を上記記録再生部に転送することを特徴とする記録再生装置。

【請求項9】請求項1記載の記録再生装置であって、上記記録再生部の再生制御部が、開始アドレスを記憶する開始レジスタと、終了アドレスを記憶する終了レジスタのいずれか一方もしくは両者を少なくとも有することを特徴とする記録再生装置。

【請求項10】請求項1記載の記録再生装置であって、上記記録再生部に開始アドレスと終了アドレスを記憶する2つのレジスタを有し、そのレジスタ対でテーブル化され、上記テーブルが少なくとも1対で構成されることを特徴とする記録再生装置。

【請求項11】請求項1記載の記録再生装置であって、上記記録再生部の再生操作部から指示転送される開始アドレスをもとに、上記情報記憶部の書込/読出制御回路がアドレスカウンタを起動し、記録用メモリに記憶保持されたデジタル情報を再生部のデジタル/アナログ変換部でアナログ情報に変換し、上記装置の外部に出力することを特徴とする記録再生装置。

【請求項12】請求項1記載の記録再生装置であって、上記記録再生部もしくは情報記憶部の、上記第1のシリアル・パラレル信号変換回路と第1のバッファメモリもしくは上記第2のシリアル・パラレル信号変換回路と第2のバッファメモリの各々が、シリアルポートとランダムポートを有する2ポート形メモリであることを特徴とする記録再生装置。

【請求項13】請求項5記載の記録再生装置であって、上記記録再生部もしくは上記情報記憶部の開始アドレスを有するアドレスレジスタは少なくとも上記レジスタの記憶内容の一致検索が可能な構成であること特徴とする記録再生装置。

【請求項14】請求項1記載の記録再生装置であって、上記情報記憶部と上記記録再生部の信号インタフェースは、機械的な接続、無線による接続、電磁もしくは静電カップリングによる接続、もしくは光接続によって少なくとも行われることを特徴とする記録再生装置。

【請求項15】請求項1記載の記録再生装置であって、

上記装置の情報記憶部を可搬型として使用した大容量の記録再生装置において、同装置の記録用デジタルメモリは半導体メモリ、光ディスク、磁気ディスク、デジタルオーディオテープ等で少なくとも構成されることを特徴とする記録再生装置。

【請求項16】請求項1記載の記録再生装置であって、上記第1もしくは第2のバッファメモリの容量は、上記フラッシュEEPROMの消去／書き込み単位であるセクタもしくはブロックのアドレスサイズの倍数で構成され、上記容量が上記情報記憶部の記録用メモリと同等もしくは以下であることを特徴とする記録再生装置。

【請求項17】請求項1記載の記録再生装置であって、上記情報記憶部の記録用メモリ、第1のシリアル・パラレル信号変換回路、第1のバッファメモリ、書込／読出制御回路の少なくとも一つ以上を同一半導体基体上に設けたことを特徴とする記録再生装置。

【請求項18】請求項1記載の記録再生装置であって、上記記録再生部のデジタル／アナログ変換部、再生制御部、アナログ／デジタル変換部、記録制御部、第2のシリアル・パラレル信号変換回路、第2のバッファメモリの少なくとも一つ以上を同一半導体基体上に設けたことを特徴とする記録再生装置。

【請求項19】請求項2記載の記録再生装置であって、上記再生部のデジタル／アナログ変換部、再生制御部、第3のシリアル・パラレル信号変換回路、第3のバッファメモリの少なくとも一つ以上を同一半導体基体上に設けたことを特徴とする記録再生装置。

【請求項20】請求項2記載の記録再生装置であって、上記記録部のアナログ／デジタル変換部、記録制御部、第4のシリアル・パラレル信号変換回路、第4のバッファメモリの少なくとも一つ以上を同一半導体基体上に設けたことを特徴とする記録再生装置。

【請求項21】請求項1記載の記録再生装置であって、上記記録再生部が記録用のクロックと、再生用のクロックと、転送用のクロックと、を少なくとも有することを特徴とする記録再生装置。

【請求項22】請求項21記載の記録再生装置であって、上記転送用クロックが記録用クロックもしくは再生用クロックより高速であることを特徴とする記録再生装置。

【請求項23】請求項1記載の記録再生装置であって、上記情報記憶部の記録用メモリと上記記録部もしくは上記再生部の間に少なくとも情報の一時記憶用のバッファメモリを設けることを特徴とする記録再生装置。

【請求項24】請求項1記載の記録再生装置であって、上記記録部もしくは再生部に上記情報記憶部を挿入する場合、同挿入部分から外して上記記憶部の入力操作部もしくは表示部を配置することを特徴とする記録再生装置。

【請求項25】請求項1記載の記録再生装置であって、

上記記録部もしくは再生部と情報記憶部の電氣的接点部分が上記筐体の入力操作部もしくは表示部の部品配置から少なくとも外すことを特徴とする記録再生装置。

【請求項26】請求項1記載の記録再生装置であって、上記記録部もしくは再生部の筐体が上記情報記憶部を、上記筐体内部に全て入れることを特徴とする記録再生装置。

【請求項27】請求項1記載の記録再生装置であって、上記記録部もしくは再生部の操作部が同情報記憶部の表側に位置する場合、上記記録部もしくは再生部と同情報記憶部の電氣的接点部は上記情報記憶部の裏側に配置されることを特徴とする記録再生装置。

【請求項28】請求項15記載の記録再生装置であって、上記情報記録用デジタルメモリが、既に情報が記憶されており、EEPROM形メモリか、EPROM形メモリか、フューズROM形メモリか、電池でバックアップされたSRAM形メモリもしくはDRAM形メモリか、上記メモリの組合せか、のいずれかで構成された半導体メモリ、光ディスク、磁気ディスク、デジタルオーディオテープ等の大容量記憶装置で少なくとも構成されることを特徴とする記録再生装置。

【請求項29】請求項23記載の記録再生装置であって、上記一時記憶用のバッファメモリがSRAM形メモリ、DRAM形メモリ、電池でバックアップされたSRAM形メモリもしくはDRAM形メモリか、上記メモリの組合せか、のいずれかで構成された半導体メモリであることを特徴とする記録再生装置。

【請求項30】フラッシュEEPROMを用いた記録再生装置の記録再生方法であって：

(1)情報を記憶する複数のフラッシュEEPROMブロックと、シリアルデータをパラレルデータに双方向変換するシリアル・パラレル信号変換回路と、転送クロックにより上記EEPROMのアドレスを発生するアドレス発生回路と、上記EEPROMの各ブロック毎に読み書きする一時記憶用の第1のバッファメモリと、上記バッファメモリと上記EEPROMブロックの書換え即ち消去書込みと読出しを制御する書込／読出制御回路と、からなる情報記憶部と、

(2)デジタル／アナログ変換部、再生制御部、再生表示部及び再生操作部を有する再生部と、アナログ／デジタル変換部、記録制御部、記録表示部及び記録操作部を有する記録部と、パラレルデータをシリアルデータに双方向変換するシリアル・パラレル信号変換回路と、一時記憶用の第2のバッファメモリと、からなる記録再生部と、を少なくとも具備してなり、上記情報記憶部と上記記録再生部が分離してなることを特徴とする記録再生装置の記録再生方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は再生部もしくは記録部と

情報記憶部が分離した記録再生装置に係り、特に小型軽量で高信頼性を有するフラッシュEEPROMを用いた記録再生装置に関する。

【0002】

【従来の技術】 先ず、本発明の基本機能のために従来構成の記録再生装置について説明する。従来、記録再生装置においては、第2図のような音声デジタル情報の転送方法が用いられている。この図は、特開昭63-189296号公報に記載されているものであり、記録側（書き込み機器側）と再生側（カード側）を分離した音声情報の書き込み方法である。再生側への書き込みは書き込み機器側の記録部で制御する。再生部のメモリはEPROMであり、データ転送はパラレル信号からシリアル信号に変換し、転送後はシリアル信号からパラレル信号に変換してEPROMに書き込む。またEPROMのデータ書換えは消去を紫外線で行い、書き込みを高電圧電源で行うため、書き込みバルス用電源端子が設けられている。同装置の書き込みアドレスの発生は書き込み側からの1つのクロック源を基準に実施され、アナログ／デジタル変換器とRAMを同期させ記憶する。再生時も同様の速度で、シリアル転送し、パラレル信号変換後にEPROMに書き込む。本従来例の再生部はアドレス発生器が2回路設けられ、一方は上記シリアル信号からパラレル信号に変換してEPROMに書き込むためのアドレスタイミングを発生するため、他方は再生時のアドレスタイミングを発生するために両者を使いわけしている。特に、記録側のRAMはその内容を全てEPROMに転送する比較的小規模な音声の記録再生装置が提案されている。一方、半導体メモリを使用した小型の記憶装置では磁気カードに代わるICカードとメモリカードがある。ICカードは、情報記録をシリアルデータ転送で行うもので、マイクロプロセッサでアドレス、データ、コントロール信号を発生して同プロセッサもしくはカードに内蔵するEEPROM等を読み／書きする。従って、読み／書きの速度はプロセッサの処理速度に依存している。またほとんどをメモリ素子で構成するメモリカードはパラレルデータ転送であり、データを高速転送するのに適している。

【0003】

【発明が解決しようとする課題】 上記従来技術の問題は、先ず書き込みEPROMを用いるため消去を紫外線で行い、書き込みを電源で行うため、書換え速度が遅く使い勝手が悪かった。例えば記憶部にマイクロプロセッサ搭載のICカードを用いるにはシリアルでデータの転送を行うため信号接続端子数を低減できる反面、EEPROMの消去／書き込み速度が遅いことが問題である。また、メモリカードでは記録再生部と情報記憶部を分離した場合、パラレルデータ転送書き込みでは接続端子数が多く、接続端子の信頼性と挿抜の労力とに問題がある。従って、本発明の基本的な目的は、情報記憶部と再生部もしくは記録部を分離した場合に、再生部もしくは記録部

と情報記憶部にバッファメモリを付加して、そのバッファメモリ容量を所定の情報単位、すなわちフラッシュEEPROMの書換え単位となるセクタもしくはブロックのアドレスサイズとして情報を記憶し、フラッシュEEPROMの書換え即ち消去／書き込みをセクタもしくはブロック単位で並列処理、書換えを効率よく行い、書換え時間を高速化することである。また、シリアルデータ転送により接続端子数を最小として記憶部の挿抜を容易とし、挿抜に要する時間短縮と接続部の高信頼性を達成する記録再生装置を提供することである。

【0004】

【課題を解決するための手段】 本発明の一実施形態に従えば、上記目的は次のようにして解決される。すなわち、先ず記録再生部（2）もしくは情報記憶部（4）のシリアル・パラレル信号変換回路（98、100）には、メインの記憶用メモリ（20）であるフラッシュEEPROMの書換モード、即ち消去モード／書き込みモードのタイミングが各モードで一定でないため、そのタイミングを調整する一時記憶用の第1のバッファメモリ（106）もしくは第2のバッファメモリ（10）を設ける。第2のバッファメモリ（10）は記録再生部（2）のシリアル・パラレル信号変換回路（98）に付加される。第1のバッファメモリ（106）は情報記憶部（4）のシリアル・パラレル信号変換回路（100）に付加される。また、第1と第2のバッファメモリ（106、10）はフラッシュEEPROMの書換え単位であるセクタもしくはブロックのアドレスサイズを基本としてその倍数の容量を有する。さらに記録再生部（2）と情報記憶部（4）間ではその第1と第2のバッファメモリ間で読出し／書き込みが可能な構成とする。加えてフラッシュEEPROMの書換え時はそのセクタもしくはブロック単位でフラッシュEEPROMのセクタもしくはブロックを個々に並列制御する。なお記録再生部（2）は情報ファイルの開始アドレスを記憶する開始アドレスレジスタを有する。また情報記憶部は同アドレスをもとに記録もしくは再生の動作を開始するためフラッシュEEPROMのアドレスを発生するアドレスカウンタを有する構成とする。以上から本発明の記録再生装置は任意のアナログ情報をデジタル情報として情報記憶部に書き込み、また読出すことができる。さらにフラッシュEEPROMの消去／書き込み、即ち書換えではフラッシュEEPROMの個々のブロックを制御することで書換えを並列処理して高速化を達成できる。

【0005】

【作用】 本発明の代表的な実施形態（図1）では、記録再生部（2）の第2のバッファメモリ（10）と情報記憶部（4）の第1のバッファメモリ（106）が、転送されるデータの書換え時間、即ち消去／書き込みの異なる処理時間を調整する。これは書換え時に消去／書き込みがセクタもしくはブロック毎に個々に並列処理される。その

際、データはまず第2のバッファメモリ(10)と第1のバッファメモリ(106)間で行われ、次いで第2のバッファメモリ(10)とフラッシュEEPROMの間で実施され、同メモリ(10)は書き込みキャッシュとして働く。従って、フラッシュEEPROMのセクタもしくはブロックを個々に並列消去/書き込みすることで、書換え時間が高速になる。また同EEPROMは記録再生部(2)から直接アクセスされることがなく、書換え回数が低減する。さらに記録制御部(12)から開始アドレスを入力すると、開始アドレス、データの順に情報記憶部(4)に転送され、記録用メモリ(20)のアドレス発生回路(102)に開始アドレスが設定される。この結果、任意のアドレスから記録再生ができる。一方、本発明の好適な実施形態(図3)では記録再生部(2)は記録部を省き再生部のみとする。この結果、記録に関する機能回路が不要となり、小型、軽量となる。この結果、同装置は不揮発性メモリで構成するため情報を保持する電池が不要であり、極めて小型簡便なる携帯用装置となり、再生の場所的、時間的な自由度が増す記録再生装置を実現できる。本発明の他の目的及び新規な特徴は、以下に詳述する実施例から明らかとなろう。

【0006】

【実施例】以下、図面を参照にして本発明の実施例を詳細に説明する。図1は本発明の記録再生装置の原理を示すためのブロック図である。図において、2は情報の記録制御と再生制御を行う機構を有する記録再生部、4は情報を記憶し保持する情報記憶部を示す。この情報記憶部4には電池バックアップが不要で半永久的に情報を保持できる不揮発性半導体メモリを使用し、本発明では電氣的に書き込み読出し可能なフラッシュEEPROMを使用する。本装置のサイズは、記録再生部2と情報記憶部4の両者が一体化した状態でポケットにはいる程度の大きさとなる。6はマイク、ビデオカメラ、各種センサ等もしくはラインで入力するアナログの外部入力信号、40はデジタル信号、8はアナログ入力信号6をデジタル信号40に変換する入力アンプ、ローパスフィルタ、アナログ/デジタル変換回路からなるアナログ/デジタル変換部、10はデジタル信号40を一時記憶する第2のバッファメモリ、12は情報記憶部4へ情報を記録もしくは記録した情報を再生するため、記録もしくは再生の開始、停止を制御する記録部もしくは再生部からなる記録再生制御部、14はその情報の内容を表示、指示操作する表示操作部を示し、14aはその入力指示を示し、また36は電池もしくは電源安定化回路である。一方、28はアナログ出力信号、18はデジタル信号40をアナログの出力信号28に変換するデジタル/アナログ変換回路、ローパスフィルタ、出力アンプからなるデジタル/アナログ変換部、また情報記憶部4において、20はデジタル情報を蓄積する記録用メモリ、22は情報記憶部4に転送した情報を記録用メモリ20に記録、再生

制御する書込/読出制御回路を示す。また98、100はシリアル信号からパラレル信号へのデータ変換もしくはパラレル信号からシリアル信号へデータ変換する双方向型のシリアル・パラレル信号変換回路を示す。102はアドレスカウンタからなるアドレス発生回路、104は電源電圧VccからフラッシュEEPROMに情報を書込むため高電圧Vppを発生する高電圧発生回路、106は第1のバッファメモリを示す。さらにφ1は外部入力信号6の情報をサンプリングするアナログ/デジタル変換部8のサンプリング周波数であるクロック、またφ2は記録再生部2から情報記録部4へデジタル情報を転送するクロック、φ3は記録再生部2の再生時のデジタル/アナログ変換部18のサンプリング周波数であるクロックを示す。38は上記クロックφ1、φ2及びφ3のクロック発生回路を示し、それぞれの出力は記録再生制御部12により制御される。一方、30はデジタルのデータ信号、32は書込/読出制御回路22を制御し記録用メモリ20の書込、読出動作に必要なアドレス発生制御とメモリを制御する情報記憶部の各種制御信号、また54は書込/読出制御回路22の各種制御信号である。さらに34は情報記録部4の書き込み状態を示し、データの転送を抑制するレディ信号である。さらに、30a、32a、34aは各信号の接続端子、Vccは電源の接続端子、φ2aは転送クロックのそれぞれ記録再生部2の接続端子、30b、32b、34b、Vccb、φ2bは同様にそれぞれ情報記憶部4の接続端子を示す。また52はアナログ/デジタル変換部8、バッファメモリ10、デジタル/アナログ変換部18及び信号変換回路98等の記録再生部2の各制御信号を示す。

【0007】ここで下記に述べる記録もしくは再生の動作モードには、外部のアナログ入力信号6をデジタル化して記録用メモリ20に記録する記録モード、記録用メモリ20のデジタル情報をアナログ化して外部に出力する再生モードがある。以下、本実施例の動作を説明する。記録再生制御部12は次の制御を行う。同制御部12は入力指示信号14aの指示により情報ファイルの開始アドレスを発生し、情報記録部4の情報ファイルにアクセスするアドレス発生用の転送クロックφ2を出力、情報記録部4のカウント102は同クロックφ2のカウントから例えば、書き込みではシリアル/パラレル変換でパラレルデータが揃う毎に8ビット毎同期させ、順次メモリアドレスを発生する。また、同制御部12は記録モードと再生モードを、書込/読出制御回路22を介してフラッシュEEPROMの消去/書き込み及び読出しのタイミング及び入出力端子へのデータ設定を含めて制御する。一方、書込/読出制御回路22は、記録再生制御部12の制御信号を受け、上記情報の開始アドレス値を設定し、その後の連続したアドレス発生と記録用メモリ20の各記録、再生モードの動作信号を制御する。

【0008】次に本実施例の動作を、音声情報の記録再生を例に説明する。先ず、記録モードでは記録再生制御部12の制御により、記録用メモリ20の開始アドレスレジスタに開始アドレスがセットされる。さらにアナログ／デジタル変換部8において、マイクによって電気信号に変換された音声信号を入力アンプによって必要なレベルまで増幅する。次いで折り返し歪を取るためにローパスフィルタによって高域成分をカットする。この後、アナログ／デジタル変換し、10に記憶、次にパラレルデータ信号をシリアル・パラレル信号変換回路98でシリアルデータ化して転送する。さらにシリアル・パラレル信号変換回路100でパラレルデータ信号に逆変換され、アドレスがクロックφ2により所定の量だけカウントアップされ、パラレルデータが記録用メモリ20に逐次記録される。この時の情報転送レートは上記クロックφ2、また音声アナログ信号のサンプリングはクロックφ1で行われる。前者のクロックφ2と後者のクロックφ1は例えばシリアル信号をパラレル信号に変換する8ビット毎同期して使用され、またバッファメモリ10、106の容量単位である所定のセクタもしくはブロックアドレスサイズ内のデータ蓄積、転送は非同期でも良い。その際、クロックφ1はその速度を可変し、より音楽、会話等音声の精度、レベル等にあうクロックにしても良い。なお、情報の先頭アドレスとなる開始アドレスは、フラッシュEEPROMのセクタもしくはブロックのアドレス信号で構成される。またその単位でバッファメモリを構成する。さらに記録用メモリ20の開始アドレスが特定情報の記録再生開始もしくは検索のため使われる。例えば情報の記録は、記録再生制御部12の指示により書込／読出制御回路22が活性化され、所定の記録用メモリ20が先ず消去され、次いで記録用メモリ20は書込み状態となり、一時記録用のバッファメモリ10は読出し状態となり、デジタル信号がセクタもしくはブロックのアドレス単位で転送される。従って、消去に要する時間はバッファリングによって吸収し、書換えが一定速度で実施できるよう制御される。

【0009】また再生モードでは、記録モードと同様に同メモリ20の開始アドレスレジスタに開始アドレスがセットされ逐次読出される。これは、記録再生制御部12の制御によりデジタル／アナログ変換部18において、記録用メモリ20から取り出したパラレルのデジタル情報をシリアル・パラレル信号変換回路100でシリアルデータ信号に変換して、さらにシリアル・パラレル信号変換回路98で逆変換する。さらにデジタル／アナログ変換回路18でアナログ化、ローパスフィルタによってスムージング、出力アンプで増幅し、音声出力信号28として出力装置（イヤホン等）で再生される。この再生動作はクロックφ3で行い、少なくとも記録時のクロックφ1と同じ周波数で動作する。一方、このクロックφ3はその速度を可変した場合、例えば高速にして音

声を早送りするもしくは低速にしてゆっくり聞くことができる。この際のシリアル転送用クロックφ2は、クロックφ3と同期して動作する。なお、同バッファメモリ10、106の書込み読出しは入出力を2ポートで行うか、データの入出力動作をタイムシェアリングして、表面的には2ポート化する構成で達成できる。またシリアル信号からパラレル信号へのデータ変換もしくはパラレル信号からシリアル信号へ双方向にデータ変換するシリアル・パラレル信号変換回路は、シフトレジスタで構成できる。このことは、シリアルポートをバッファメモリと同一チップ内に設けることで、更に転送高速化と転送の効率向上ができるので、シリアルポートとランダムポートの2ポートを持つメモリは上記信号変換回路兼バッファメモリとして利用できる。以上において、一時記録用のバッファメモリ10、106の容量はシリアル信号からパラレル信号への変換もしくはパラレル信号からシリアル信号へ変換し転送する単位であり、フラッシュEEPROMのセクタもしくはブロックのアドレスサイズに依存する。従って情報はセクタもしくはブロックのアドレスサイズで決まる単位の倍数で順次転送される。この結果、この一時記録用のバッファメモリ10、106のメモリ容量は記録用メモリ20のアドレスより、少なくとも同一もしくはそれより以下の大きさとなり、バッファメモリ10、106のメモリ容量をMt、記録用メモリ20のメモリ容量をMsとした場合、 $Ms \geq Mt$ の関係となる。また記録用メモリ20の読出し／書込みアクセスはバッファメモリ10、106を介することで、デジタル信号の転送速度が調節され、フラッシュEEPROMの消去／書込み等のメモリ制御が容易となる。なお、上記記録と再生の2つの動作モードは、直接、記録再生部2の外部よりパラレルのデジタル信号を入出力できる端子を設けても良い。この場合はアナログ／デジタルもしくはデジタル／アナログ変換が不要な分、より高速な転送を実現できる。また記録モードでの情報転送時は並行同時動作するアナログ／デジタル変換部8を活性化し、デジタル／アナログ変換部18は非活性化することで、転送に影響無いようにするとともに低電力化に役立つこととなる。再生モードでもアナログ／デジタル変換部8を非活性化することで同様な効果が期待できる。以上、本実施例では、情報の記録再生部2と情報記録部4を分離し、開始アドレスを記録再生部2から情報記録部4へ転送することによって、必要な情報のみ部分的に記録再生できる。また記録再生部2側の第1のバッファメモリ容量は信号変換に要する書込み読出し時間のバッファリングとセクタもしくはブロックのアドレス単位の記憶容量で良いため小容量で良い。またシリアル転送であるためアドレスとデータの転送に関する接続端子数を少なくできる。一方、情報記憶部4は記録再生部2の記録再生機能がなく、軽量、小型化でき、かつ記録再生部2は同方式の他のカードを共有化できる。さらに情報記

録部4はそのインタフェース、プロトコル等が標準化された場合、カードサイズのサウンド源として他の機種との併用も期待できる。例えば、RS232Cインタフェース等を高速化し、そのプロトコルを利用しても良い。また記録再生部2はアナログ/デジタル変換、デジタル/アナログ変換機能の他、映像処理機能を付加することでCD、ビデオディスクに代わる超小型の映像表示機として活用できる。その際は表示用に液晶ディスプレイ等の内蔵することも考えられる。さらに情報記録部4のアドレス発生回路102は、その開始アドレスを一時保持するアドレスカウンタにプリセット可能なタイプを使用しても良く、またレジスタを1つもしくは複数配置して記憶しても良い。前者では、毎回所望のアドレスをカウンタにセットし、さらに同アドレスを開始アドレスとして情報記録部4に転送すれば良い。後者ではレジスタが開始アドレスを一時保持しアドレスカウンタを起動するために使用される。このため複数レジスタに複数の開始アドレスを予め設定するような機構を設けることで、任意の情報ファイルを適宜連続して再生、記憶できより使い勝手が良くなる。なお、情報及び開始アドレスからなるデジタル信号30、メモリ制御信号32、レディ信号34、φ2信号等のインタフェース手段は有線、光、無線等いずれでもよい。例えば光、無線の場合は接点部がないため接続部の機械的信頼度が向上する。また電源線は有線とし、その他の信号を光、無線にする混在型なども情報記憶部4側への記録転送時の電流供給の観点から効果がある。さらに有線タイプでも記録再生部2と情報記録部4の直結形とケーブル延長による間接結合形が考えられるので、入出力信号インタフェース形態は試用環境により種々変更すれば良い。また入出力信号間にバッファアンプ等を挿入して、信号波形の整形等を実施することも良い。さらにアナログ系とデジタル系回路の電源系統は分離して配置することは、回路の確実な動作に重要である。

【0010】図3に、本発明の第2の実施例を示す。同図において、図1と同一部分には同一番号を付すことにより説明を省略する。図3の基本的な動作は第1の実施例と同様である。本実施例は図1と情報の記録に関する機構がない点が異なり、再生専用の装置である。従って、表示、制御操作する表示操作部14は再生機能のみを有する。本実施例は記録に関する機構が不要の分、小型化、低価格化を実現できる。

【0011】図4に、本発明の第3の実施例を示す。同図において、図1と同一部分には同一番号を付すことにより説明を省略する他、14aは表示、制御操作する表示操作部14の操作スイッチであり、それぞれが指で操作するに十分な大きさでかつ指先で操作スイッチの役割が判別可能な形状である。例えば同図は円形、三角形、四角形など主要なスイッチは異なる形状とする。このようなスイッチを配置することによって、記録再生操作が

ブラインドタッチで容易となる。また、図4では情報記録部4が記録再生部2からはみ出している例であるが、記録再生部2の内部に同記録部4の筐体をすべて収納することで、記録再生部4を外部影響から防御することができる。

【0012】図5に、本発明の第4の実施例を示す。同図において、図3と同一部分には同一番号を付すことにより説明を省略する他、4'は図3に示した情報記録部4に主にデジタル/アナログ変換部18からなる再生機能を付加した構成となる。記録再生部4の情報の記録機構は用途によって使用頻度が少なく、また日常では携帯することも少ないので、再生機能のみを情報記憶部4に一体化した実施例である。この場合、再生機能付きの情報記録部4'は再生用に少なくとも電池を搭載する。この結果、記録再生部4を記録に関する機構が不要な分、小型化、低価格化できる。なお、記録再生部2はその再生機能があってもなくても良い。さらに再生機能付き情報記録部4'の表側に操作表示部14があり、記録再生部2の接続端子Aと情報記録部4の接続端子Bの電気接続部は、記録再生部4の操作スイッチ側が記憶部の表側に配置されるとき、同接続部は記憶部の裏側に位置するようにする。この結果、接続部は操作スイッチ側にならないため、操作による電気接点に対する外部圧力を低減できる。なお、この様な接点の構成は、本発明の上記第1から第3の実施例に適用しても良い。

【0013】図6に、本発明の第5の実施例を示す。同図において、図1と同一部分には同一番号を付すことにより説明を省略する。以下、図1と図6を用いて本発明における情報ファイルの開始アドレスとシリアル転送のタイミングを模式的に説明する。先ずフラッシュEEPROMの書換え時のタイミングは、図6に示すようにデータが図1のシリアルデータ端子32aから32bに対して、転送クロックφ2の基本タイミングに同期して開始アドレス、情報（入力データ）の順に転送される。またデータの終了時は終了フラグを転送する。この時、記録用メモリ20ではフラッシュEEPROMの書換えの単位であるセクタもしくはブロックで消去/書込み動作が制御される。同図は例えば消去/書込み動作は1セクタもしくは1ブロック毎に実施する。即ち該当するセクタもしくはブロックの書換え終了後に次の書換えを順次実施する方法を示している。この場合の書換え時間は、セクタもしくはブロックの書換えアクセス回数だけ要する。一方、一度に複数のセクタもしくはブロックを並列書換えしても良い。例えば、その第1の方法は書換えに必要なセクタもしくはブロックを予め開始アドレスの転送の中で複数転送すると、書込/読出制御回路はこれらのアドレスに関するセクタもしくはブロックをまとめて消去し、次いでセクタもしくはブロックに順次シフトしながら書込む、また第2の方法は消去動作を書込みに要する時間だけ遅延して、複数のセクタもしくはブロック

に対して順次行い、各消去に続いて書込む、さらに第3の方法は消去動作を任意の時間遅延して順次行い、所定のセクタもしくはブロックの書込み中は、他のセクタもしくはブロックの消去もしくは書込み動作を禁止するよう制御しながら書込む、等の制御が考えられる。上記書換えの並列処理方法により、図1より書換え時間の高速化が可能である。このような複数のセクタもしくはブロックの制御は書換えに要する消去もしくは書込み時の電流が、複数のフラッシュEEPROMの並列動作時に許容できる電流範囲で実施される。すなわち、高速化は並列書換え動作による速度向上と複数のフラッシュEEPROMの活性電流ピークを許容できる最適な並列書換え数で達成される。一方、均等に入力されるデータはバッファメモリ106が一時蓄積して、フラッシュEEPROMの消去と書込みタイミングに合わせて展開できるようバッファリングする。この際は、一つのセクタもしくはブロックに入力されるデータの時間内であれば、書込みが次のセクタもしくはブロックにずれても問題なく書換えできる。例えば、上記1ブロックチップ毎の書換えをもとに音声情報を記録する場合、フラッシュEEPROMの書換え速度は消去／書込み動作で、セクタ単位が512バイト、1セクタの消去時間10ms、書込み時間5μs／バイトとすると仮定する。その場合は上記フラッシュEEPROMの書換えの平均速度が約25μs／バイトになる。一方、外部データの取り込み時間は高音質な音声のサンプリング周波数が44.1kHzとすると、その速度が約180μs／バイトとなる。この結果、バッファメモリがない場合は、消去時間が反映されフラッシュEEPROMに外部データを一定速度で順次書込むことができない。しかしながら、上記フラッシュEEPROMの書換えの平均速度は音声のサンプリング速度に対して十分速いため時間的余裕がある。従って、その速度差はバッファメモリ10、106とそのメモリ制御によって消去時間に当てられる。なお、書換えに要する時間と音声のサンプリング速度には約6倍余裕がある。従って、外部データのサンプリング速度は上記フラッシュEEPROMの書換え速度まで可能であり、高速転送が実現できることとなる。さらに、書換え速度は上記複数のフラッシュEEPROMの並列書込みによって高速化が期待できる。読出し時のタイミングは、データがフラッシュEEPROMのアクセス時間に依存して読出される。例えばフラッシュEEPROMから8ビットで読出されたパラレルデータの転送時間は、1ビットでシリアル転送すると読出し速度の8倍を要する。これは、アドレス等のデータ転送の事前に要するタイミング設定時間を除くと、シリアル読出し速度を20ns／ビットとして少なくとも160ns／バイトとなる。この速度はフラッシュEEPROMデバイスの読出し速度が十分応答可能である。さらにバッファメモリ10、106の容量が書込もうとする情報ファイルより十分大きい

場合が考えられる。この場合は転送する情報ファイルがフラッシュEEPROMの消去／書込み速度と無関係になり、バッファメモリ10、106間転送となるため、例えばシリアル転送時間である160ns／バイトまで読出しは勿論、書込みを高速化できる。なお、このような場合もバッファメモリ106に蓄積されたデータは、随時フラッシュEEPROMに書込みするよう制御される。また再生モード時はバッファメモリ10、106を介さなくとも読出し速度が一定であるため問題ない。このことは、所定のセクタもしくはブロックにおいて実施するバッファメモリ106からバッファメモリ10への高速転送が不要な場合、記録再生部2のバッファメモリ10を除くこともできる。なお、記録再生部2は一次記録用のバッファメモリ10のほか大容量メモリがあってもよく、その場合は外部データを多く記憶することができ、外部データをより高速にサンプリングすることができる。またそれはバッファメモリを兼ねても良い。図7に、本発明の第6の実施例を示す。図において、図1と同一部分には同一番号を付すことにより説明を省略する他、200はマルチ記録再生装置、202はスピーカ、204は記録再生を指示操作する操作部、206はマルチ記録再生装置200と情報記憶部4の接続用スロット、208は大容量の記憶装置を示す。マルチ記録再生装置200は例えば、FM、AM等ラジオ、TV、ビデオ記録再生装置等の一つもしくは複数の組合せで構成され、大容量記憶装置208として光ディスク、磁気ディスク、デジタルオーディオテープ、ビデオテープ等を有する。またマルチ記録再生装置200はタイマ予約記録機能もしくはパーソナルコンピュータ等と有機的に接続される多機能形記録再生装置であり、本発明の記録再生装置を付加することにより、さらにマルチメディア化を促進拡張できる。本装置により、予約記録機能を働かせ、外出時もしくは寝ている間に大容量記憶装置に記録を済ませ、その中から選択書込みし、もしくは新たに記録した内容の全てを情報記録用メモリ20にシリアル転送書込みさせる。このマルチ記録再生装置200から情報記憶部4への記録は、同装置200のクロックφ2を可変速して転送時間を高速にできる。例えば情報記憶部4が128Mビットの容量では、圧縮のない音声情報でアナログ／デジタル変換部8及びデジタル／アナログ変換部18に8ビット量子化を使用した場合、サンプリング周波数を8kHzとして約35分間再生できる。これがデジタル記録ではシリアル転送速度が20nsの場合に3秒と極めて短時間で転送が完了する。この時録音する内容は、会話、物語、英会話、株式等のビジネス情報、レジャー、ホビー等様々な活用が考えられ、比較的音質が気にならない分野で使用される。一方、音声情報も音楽の場合は音質を重視するので、高いサンプリング周波数もしくはアナログ／デジタル変換部8、デジタル／アナログ変換部18の量子化ビット数を増加すれば良

い。例えば、情報記録用メモリ20の容量が4Gビットではサンプリング周波数44.1KHzで圧縮のない音声で16ビット量子化した場合、約1.7時間音楽を楽しむことができる。このように長時間再生が実現した場合は、開始アドレスを設定するレジスタを複数内蔵することによって、数種類の音楽を記憶させ任意に引き出し聞くこともできる。この際、サンプリング速度は音楽と会話の音声ソースを判別して、自動調節するか、予めいずれかのソースに記録モードを設定すればよい。なお上記の形状は据置きでも可搬形でも、また環境に応じて変

形できることは言うまでもない。また、電話等に本発明の記録再生装置を導入し、留守番録音機能で多量の情報を入手することもできる。

【0014】以上説明したように本発明によれば、記録再生部2と情報記憶部4間にバッファメモリを挿入し、その間の情報をシリアル転送で行い、記録用メモリ20に用いるフラッシュEEPROMの消去／書込み動作を効率良く実施して、実用に耐える十分な速度で情報を記憶することができる。これはフラッシュEEPROMが消去を先ず行い次に書込みを実施するフローにおいて、その消去と書込みの処理時間の不均衡さを、記録再生部2と情報記憶部4の両者にバッファメモリを挿入することによって均等な処理時間に調整する効果がある。またバッファメモリはそのデータの読出しもしくは書込み動作時にキャッシュ機能としても働くため、そのバッファ容量によりフラッシュEEPROMの書換回数を低減する2次的な効果がある。また記録再生部2から情報記憶部4への情報記憶は、操作部から開始アドレスを入力し転送開始を指示すると、先ず開始アドレス転送、次に情報ファイルのデータを転送する形式で、順次連続的に記憶させることで達成できる。なお、情報ファイルの繰返し再生は上記形式においては必要なファイルから次のファイルの開始アドレス前で指示することとなる。一方、情報ファイルの最後に終了フラグもしくは終了アドレスを転送することによっても、情報ファイルを任意に取り出し繰返し再生することができる。また終了フラグは記録再生動作を停止する信号として、ビットを付加して組み合わせ用いても良い。なお開始アドレスは、情報記憶部4側で具体的なアドレスを記憶し、記録再生部2からはアドレスの変わりに情報ファイルを記憶した順番等でその開始アドレスと対応できるよう構成しても良い。この場合の再生は、記録再生部2が記録に用いた装置と異なる場合も情報記憶部4側で開始アドレスを記憶しているため問題なくできる。この開始アドレスの記憶はフラッシュEEPROMの一部を用いるか、新たに不揮発性メモリを付加し制御すれば良い。上記実施例では記録情報の検索方法を示していないが、記録再生部2から情報記憶部4の情報ファイルの検索は情報の検索回路を情報記憶部4側に設け開始アドレス等で検索しても良い。一方、情報の中で音声情報ファイルは開始アドレスから再

生する場合、再生音の最初は頭切れて聞き取りにくいことがある。このためには、音声ファイルの開始アドレスから数ステップ前より再生するアドレス減算機能を付加しても良い。画像情報等も同様にすることで見やすくなる。また早送りなどは、再生用のクロックφ1と転送クロックφ2を同期させながら高速化すれば良い。また転送中の電源遮断、また電池レベルが低下した場合は、そのセクタ若しくはブロックの情報ファイルの開始アドレスを不揮発性メモリもしくは電池バックアップされた揮発性メモリ等に記憶しておき、電源レベル復帰後、再度はじめてから転送することも考えられる。

【0015】なお、本発明は上記実施例に限定されるものではない。例えば、装置の外観形状や情報の記憶方法は使用に応じて種々変形できる。また記録再生操作の手順などについても変更でき、例えば情報の消去に際しては一度表示部で確認して実行することで誤消去を防止できる。また操作をメニュー表示で行うことでより操作性は向上する。例えば、ハードウェアでは表示部と操作部を一体化したタッチ式入力でも良い。ソフトウェアでは情報ファイルの一覧表を表示させ、記録再生の指示とファイルの選択をユーザが容易に可能とすることで達成できる。さらに本実施例では音声情報の圧縮有無、量子化ビット数等については特に言及していない。例えば、音質はその音声信号の録音再生状態に応じてサンプリング周波数即ちクロックφ1、φ3とアナログ／デジタル変換回路の量子化ビット数から定めれば良い。このクロック設定はデジタル的な周波数選択設定もしくはアナログ的な周波数可変設定の何れでも良い。一方、情報記憶部4は複数個設置しても良い。その場合は情報記憶部4の書込み内容を全て同じ内容にしても、また1個づつ内容を変えても良い。さらに以上の内容は記録再生部にマイクロプロセッサ等を活用することで緻密な制御を行い、使い勝手の良い高性能な記録再生装置を実現できる。上記実施例では、アナログ信号をデジタル化した転送書込みを説明したが、直接、外部からデジタル信号を入力して、パラレルデータをシリアルデータに変換して転送書込みもしくは読出しをしても良い。またフラッシュEEPROMの読出し速度は一定速度であり、かつ高速であるため、再生時はバッファメモリを介さなくとも問題なく動作する。さらに心臓の音、騒音環境等の音の強弱を有する全ての音声録音再生、もしくは温度、湿度のように時間的に変化するアナログ値をデジタル化して記憶するデータ記録装置にもマイクの代わりにセンサを用いることで活用できる。さらに記録再生部2の変形として、実施例で再生専用のアダプタについて述べたが記録専用のアダプタについても考えられる。また一時記憶用のバッファメモリの他に、大容量を記憶して置けるメモリがあっても良く、それはバッファメモリを兼ねても良い。すなわち、本発明の骨子を逸脱しない範囲で種々変形して実施することができる。

【0016】

【発明の効果】本発明によれば、記録再生部と情報記憶部を分離し、情報を開始アドレスと共に情報記憶部に転送する。この転送はシリアル転送であり、接続端子数が少なく接続に関する挿抜力が小さくて良いため、挿抜に要する時間も短く、また接触部分の信頼性が向上する。また、本発明の装置は情報の記憶部、記録部もしくは再生部を専用化することで用途に合った構成ができ、それによって余分な回路が削減可能となるため小型、軽量化でカードサイズが実現できる。このため携帯が可能となり、再生の場所的、時間的な自由度が増し、アナログ情報のデジタル記録に関する応用範囲が広がる。例えば音声では本発明を各種施設の案内、商品紹介、展示装置の取扱等々にも展開できる。またセクタもしくはブロック単位で情報を転送するため、それに対応するメモリチップの不良ワード線もしくは不良ビット線をセクタ／ブロックで管理して、不良ビットをマスクすることもできる。この結果、これまで廃棄した部分良品のメモリが使用できる。従って、情報保持に電源がいらないビット単位の安いDRAM並みのフラッシュEEPROMで、さらに不良として廃棄された半導体メモリを利用できるため情報記憶部を低コスト化できる可能性がある。さらに、記録再生部から情報記憶部への情報転送は、バッファメモリの活用で高速である。また情報記憶部は半導体メモリで構成するため、これまでのテープレコーダ等と異なり機械的摩擦部分がなく、また環境の悪い条件下、例えば埃の多い、振動の激しい場所等で装置の信頼性が向上する。

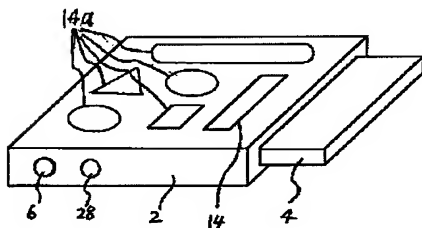
【図面の簡単な説明】

【図1】本発明の記録再生装置の原理を示すためのブロック図である。

【図2】従来の技術による記録再生装置を説明するためのブロック図である。

【図4】

図4



*【図3】本発明の実施例を説明するためのブロック図である。

【図4】本発明の実施例を説明するためのブロック図である。

【図5】本発明の実施例を説明するためのブロック図である。

【図6】本発明の実施例を説明するためのブロック図である。

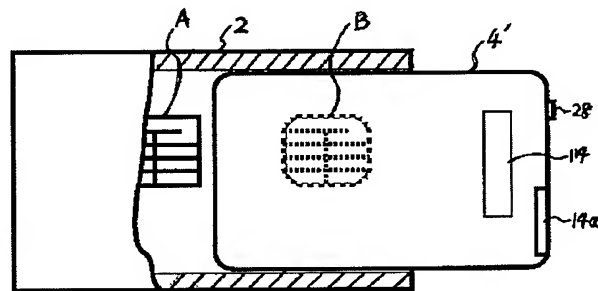
【図7】本発明の実施例を説明するためのブロック図である。

【符号の説明】

2…記録再生部、4…情報記憶部、6…アナログ入力信号、30、40…デジタル信号、8…アナログ／デジタル変換部、10…第2のバッファメモリ、12…記録再生制御部、14…表示操作部、36…電池及び電源安定化回路、28…アナログ出力信号、18…デジタル／アナログ変換部、20…記録用メモリ、22…書込／読出制御回路、98、100…シリアル・パラレル信号変換回路、102…アドレス発生回路、104…高電圧発生回路、106…第1のバッファメモリ、φ1、φ2、φ3…クロック、38…クロック発生回路、32…情報記憶部4の制御信号、54…書込／読出制御回路22の出力、34…レディ信号、52…記録再生部2の制御信号、30a、32a、34a、Vcca、φ2a…記録再生部2の接続端子、30b、32b、34b、Vccb、φ2b…情報記憶部4の接続端子、Mt…第1のバッファメモリ10のメモリ容量、Ms…記録用メモリ20のメモリ容量、64…接続スロット、70…光ディスク、磁気ディスク等の大容量記憶装置、14'…再生専用の表示操作部、14a…入力指示信号、4'…再生機能を付加した情報記憶部、204…操作部、200…マルチ記録再生装置、202…スピーカ、206…接続用スロット、208…記憶装置。

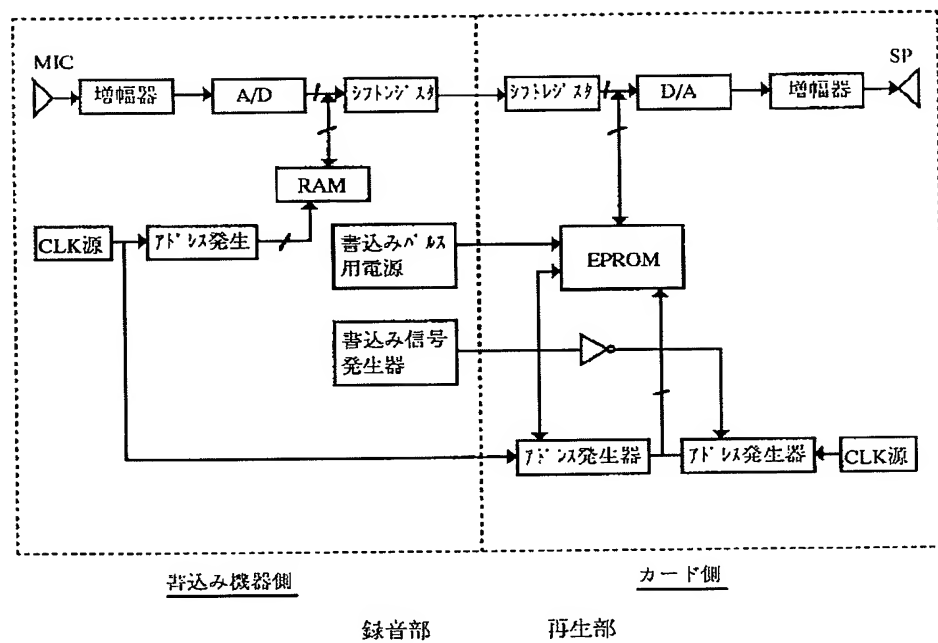
【図5】

図5



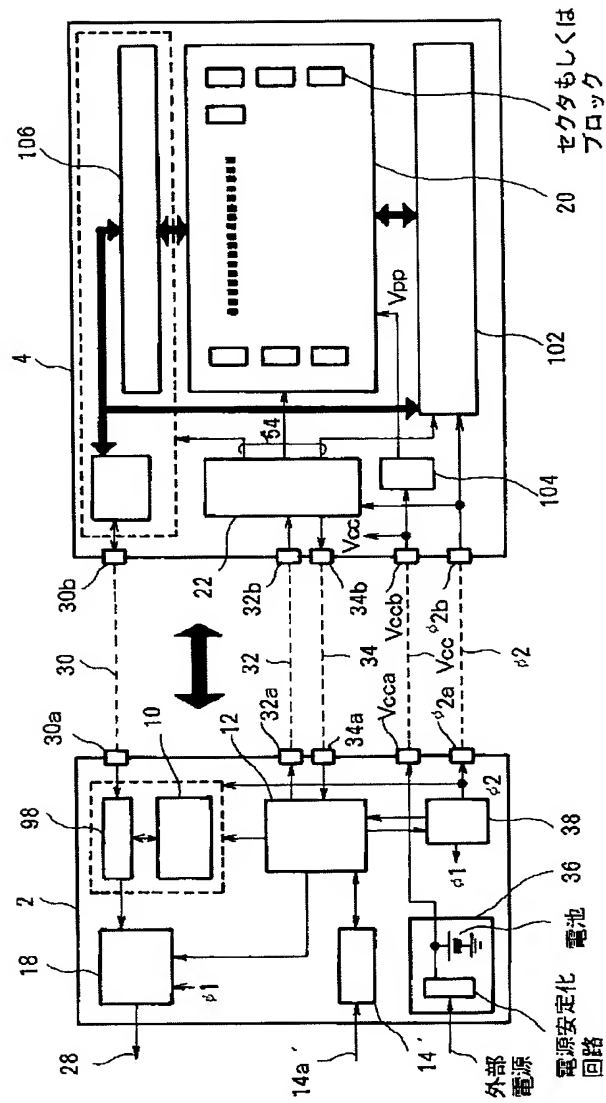
【図2】

図2



【図3】

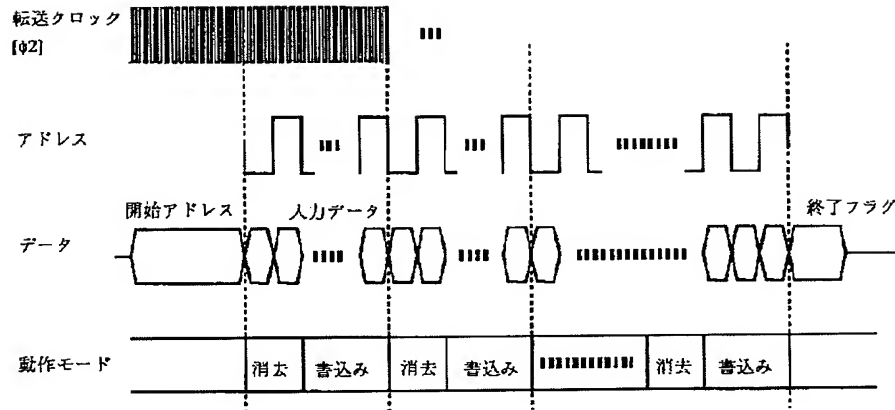
図3



【図6】

図6

[書換え時のタイミング]



[読出し時のタイミング]

